

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11330475 A**(43) Date of publication of application: **30.11.99**

(51) Int. Cl.

H01L 29/786
H01L 29/78
H01L 21/336

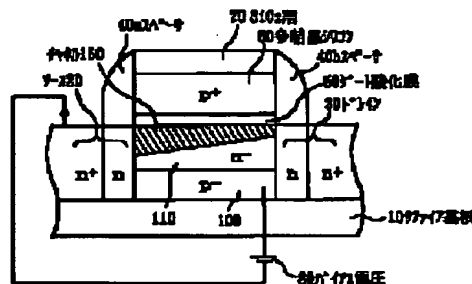
(21) Application number: **10130445**(22) Date of filing: **13.05.98**(71) Applicant: **ASAHI KASEI MICRO SYST CO LTD**(72) Inventor: **KOBAYASHI TAKAAKI**(54) **SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress the *1/f* noise of a semiconductor device which is equipped with a MOSFET formed on an insulating substrate, such as an SOS or the like.

SOLUTION: A source 20 (n⁺ or n-type semiconductor) and a drain (n⁺ or n-type semiconductor) 30 which are constituted of single-crystal silicon provided on a sapphire substrate 10 are made, and furthermore a gate oxide film 50, a p⁺-type polycrystalline silicon 60 which functions as an electrode, and an SiO₂ layer 70 functioning as a protective film are stacked on the top of this single-crystal silicon, and spacers 40a and 40b consisting of SiO₂ are provided at both sides of the stack. This device is provided with a p⁻-type single-crystalline silicon 100, between the source 20 and the drain 30, and an n⁻-type single-crystalline silicon 110 hereon, and also a bias voltage 80 is applied so that the source side 20 is on the low potential side.



【特許請求の範囲】

【請求項1】 絶縁基板上に形成されたMOSFETを備える半導体装置であって、

第1の導電型の半導体で構成されたソース・ドレイン領域と、

前記第1の導電型とは異なる第2の導電型の半導体で構成されたゲート領域と、

前記ソース・ドレイン領域の不純物濃度より低い不純物濃度の第1の導電型の半導体で構成されチャンネル形成可能なチャンネル形成可能領域と、が形成されていることを特徴とする半導体装置。

【請求項2】 請求項1において、前記チャンネル形成可能領域の下部には、前記第2の導電型の半導体で構成される領域が形成されていることを特徴とする半導体装置。

【請求項3】 請求項2において、前記第2の導電型の半導体で構成される領域に、バイアス電圧が印可されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばSOS構造の半導体装置におけるノイズを低減するための技術に関する。

【0002】

【従来の技術】図6は従来のSOS構造のMOSFETの断面構造を示す模式的説明図であり、このMOSFETは、サファイア基板1上に設けられた単結晶シリコンによって構成されるソース2（n⁺、n型半導体）とドレイン（n⁺、n型半導体）3とが形成され、さらに、この単結晶シリコンの上部にはゲート酸化膜5、電極として機能するn⁺型の多結晶シリコン6、SiO₂層7とが積層され積層部の両側面にはスペーサ4a、4bが設けられている。

【0003】そして、多結晶シリコン6に電圧を印可すると、ソース2・ドレイン3間のp型半導体の領域に100（Å）程度の厚みのチャンネル8が形成されて、ソース2・ドレイン3間に電流が流れることによって導通動作が行われる。この際、ゲート酸化膜5と単結晶シリコンとの界面での電子の散乱が発生して、チャンネル8内に留まらずにドリフトする電子が多数発生し、サファイア基板1と単結晶シリコンとの界面にドリフト電子が多数トラップ、デトラップされていた。

【0004】

【発明が解決しようとする課題】しかしながら、電子の散乱が多くなりドリフト電子が前記界面に多数トラップ、デトラップされることは電子のゆらぎが大きくなることを意味し、このゆらぎがノイズ源となっていた。

【0005】従来のものでは、その1/fノイズがバルク型のものの100倍程度まで大きくなっていた。本発明は、このような従来の課題を解決するためになされた

もので、その目的は、SOS等の絶縁基板上に形成されたMOSFETを備える半導体装置の1/fノイズを抑制することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、請求項1に係る発明は、絶縁基板上に形成されたMOSFETを備える半導体装置であって、第1の導電型の半導体で構成されたソース・ドレイン領域と、前記第1の導電型とは異なる第2の導電型の半導体で構成されたゲート領域と、前記ソース・ドレイン領域の不純物濃度より低い不純物濃度の第1の導電型の半導体で構成されチャンネル形成可能なチャンネル形成可能領域と、が形成されていることを特徴とする半導体装置である。

【0007】また、請求項2に係る発明は、請求項1において、前記チャンネル形成可能領域の下部には、前記第2の導電型の半導体で構成される領域が形成されていることを特徴とする。

【0008】請求項1や2に係る発明によれば、チャンネル形成可能領域で形成されるチャンネル層が厚くなり、チャンネル形成可能領域の深い場所を電子が多く流れるため電子の界面散乱が小さくなり、電子のゆらぎにより発生するノイズが低減される結果、1/fノイズが低減される。

【0009】さらに、請求項3に係る発明は、請求項2において、前記第2の導電型の半導体で構成される領域に、バイアス電圧が印可されていることを特徴とする。

【0010】この発明によれば、バイアス電圧を印可することによって、例えばチャンネルからドリフトされてきた電子が絶縁基板界面に到達しにくくなり、絶縁基板界面によるトラップ、デトラップが生じにくくなり1/fノイズが一層低減されることになる。

【0011】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しつつ説明する。図1は本発明の実施形態である半導体装置の断面図、図2はその平面図であり、図2中の切断線A-Aで切断したものを矢印方向から見た断面図が図1となる。なお、理解の容易化のため平面図において、適宜断面図に現れる構成要素（後に説明するスペーサ、SiO₂層）を省略している。

【0012】この半導体装置は、サファイア基板10上に設けられた単結晶シリコンによって構成されるソース20（n⁺、n型半導体）とドレイン（n⁺、n型半導体）30とが形成され、さらに、この単結晶シリコンの上部にはゲート酸化膜50、電極として機能するp⁺型の多結晶シリコン60、保護膜として機能するSiO₂層70とが積層され積層部の両側面にはSiO₂からなるスペーサ40a、40bが設けられている。

【0013】そして、ソース20とドレイン30との間には、p⁻型の単結晶シリコン100とこの上に形成されたn⁻型の単結晶シリコン110とが設けられている

と共に、バイアス電圧80がソース20側が低電位側となるように印可されている。

【0014】また、図2に示すように、多結晶シリコン60にはコンタクトホール90が設けられていると共に、バイアス電圧印可用電極であるボディコンタクト用電極94を備える p^+ 型の領域であるボディコンタクト部93が、このボディコンタクト部93とドレイン30(ソース20)との電氣的絶縁を図るための空乏層92を挟んで単結晶シリコン層と対向して配置されていると共に、このボディコンタクト部93は p^- 型領域100と電氣的に接続されている。

【0015】次に、このような構造の半導体装置の製造方法を図3を参照して説明する。まず、サファイア基板1上に、エピタキシャル成長によって厚さ2000

(Å)の単結晶シリコンを形成する(図3(a))。

【0016】次に、単結晶の上に100(Å)の酸化膜(SiO_2)を形成し、マスク部材で所望のパターンのマスキングを行い、イオン注入を行う。 $1cm^2$ 当たり 5×10^{12} 個の濃度のイオン化ボロン(B^+)を70(k e V)のエネルギーでイオン注入すると共に、 $1cm^2$ 当たり 1×10^{13} 個の濃度のイオン化リン(P^+)を40(k e V)のエネルギーでイオン注入する。この結果、 n^- 領域とその下方の p^- 領域とが形成される(図3(b))。なお、イオン化ボロンの注入はしきい値電圧を調整するため、イオン化リンの注入はサファイア・単結晶シリコン界面を低抵抗化するために行う。

【0017】次に、前工程で形成した酸化膜、マスク部材を取り除き、850°C、水素と酸素の混合ガスの雰囲気内でシリコン表面を酸化させて厚さ100(Å)のゲート酸化膜50を形成し、その上にCVDによって厚さ3000(Å)の多結晶シリコン60を形成する。さらに、 $1cm^2$ 当たり 5×10^{14} 個のフッ化ボロンイオン(BF_2^+)を30(k e V)のエネルギーでイオン注入する(図3(c))。

【0018】次に、CVDによって厚さ3000(Å)の SiO_2 を堆積させて SiO_2 層70を形成し、ゲート電極パターンを形成した後900°C、窒素ガスの雰囲気内で1時間アニール処理を行って、多結晶シリコン60の活性化、および、 n^- 領域110と p^- 領域100の相互拡散を行う。なお、リンとボロンの拡散係数は略同一で濃度は前述した様にリンの方が濃いため両領域の境界部はサファイア・シリコン界面より300(Å)程度の位置に設けられる(図3(d))。

【0019】次に、 $1cm^2$ 当たり 1×10^{13} 個の濃度のイオン化リン(P^+)を60(k e V)のエネルギーでイオン注入して、領域100、110の両側に n 型の領域を形成する(図3(e))。

【0020】次に、スペーサ用の SiO_2 を堆積し(図3(f))、これを異方性エッチングしてスペーサ40a、40bを形成する。そして、 $1cm^2$ 当たり 2×1

0^{15} 個の濃度の砒素イオン(As^+)を150(k e V)のエネルギーでイオン注入して、 n^+ の領域を形成してソース20、ドレイン30を形成する(図3(g))。

なお、前述したボディコンタクト部93に対し、 $1cm^2$ 当たり 2×10^{15} 個の濃度のフッ化ボロンイオン(BF_2^+)を60(k e V)のエネルギーでイオン注入を行い p^+ 型の領域にしておけば良い。以上のような製造工程によって図1に示す半導体装置を製造することができる。

【0021】さて、図1に示す半導体装置の多結晶シリコン60に電圧を印可するとチャネル150が形成されて導通状態となるが、この時のしきい値電圧は、多結晶シリコン60を p 型としかつ n^- 領域110を形成したので、従来通りの0.6(V)程度である。そして、シリコン基板上の単結晶シリコンは同じ導電型(n 型)となり深さ方向の障壁が小さくなるので、チャネル150の厚みが500(Å)程度と従来より厚くなり、 n^- 領域110とゲート酸化膜50との界面から基板方向に深い領域で電子が多く流れるため電子の界面散乱が少なくなり、 $1/f$ ノイズを抑制することが可能となる。

【0022】さらに、 p^- 領域100には、ソース側を低電位側としたバイアス電圧が印可されているため、ドリフト電子はサファイア界面に到達せずボディコンタクト用電極94によって外部に吐き出され、界面によるトラップ、デトラップが生じにくくなり層 $1/f$ ノイズを抑制することが可能となる。

【0023】図4に第2の実施の形態の半導体装置の断面図を示す。この実施の形態の半導体装置はP型MOSFETである点に特徴がある。この半導体装置は、サファイア基板10上に設けられた単結晶シリコンによって構成されるソース21(p^+ 、 p 型半導体)とドレイン(p^+ 、 p 型半導体)31とが形成され、さらに、この単結晶シリコンの上部にはゲート酸化膜50、電極として機能する n^+ 型の多結晶シリコン60、保護膜として機能する SiO_2 層70とが積層され積層部の両側面には SiO_2 からなるスペーサ40a、40bが設けられている。

【0024】そして、ソース21とドレイン31の間には、 n^- 型の単結晶シリコン101とこの上に形成された p^- 型の単結晶シリコン111とが設けられていると共に、バイアス電圧81(例えば-0.5(v))がソース21側が高電圧側となるように印可されている。このような装置は、単結晶および多結晶シリコンが図示したような導電型となるようにイオン注入を変更すれば、図3と同様な製造工程で製造することが可能となる。

【0025】さて、多結晶シリコン61に電圧を印可するとチャネル151が形成されて導通状態となるが、この時のしきい値電圧は、多結晶シリコン61を n 型としかつ p^- 領域111を形成したので、従来通りの0.6

10

20

30

40

50

(V) 程度である。そして、シリコン基板上の単結晶シリコンは同じ導電型 (p 型) となり深さ方向の障壁が小さくなるので、チャネル 151 の厚みが 500 (Å) 程度と従来より厚くなり、p⁻ 領域 111 とゲート酸化膜 50 との界面から基板方向に深い領域で電子が多く流れるため電子の界面散乱が少なくなり、1/f ノイズを抑制することが可能となる。

【0026】さらに、n⁻ 領域 101 には、ソース側を高電位側としたバイアス電圧が印可されているため、ドリフト電子はサファイア界面に到達せずボディコンタクト用電極 94 によって外部に吐き出され、界面によるトラップ、デトラップが生じにくくなり 1/f ノイズを抑制することが可能となる。

【0027】図 5 に第 3 の実施の形態の半導体装置の断面図を示す。この実施の形態の半導体装置はバイアス電圧を印可せずチャネル厚みのみを厚くする点に特徴がある。この半導体装置は、サファイア基板 10 上に設けられた、700 Å 程度の比較的薄い単結晶シリコンによって構成されるソース 22 (n⁺、n 型半導体) とドレイン (n⁺、n 型半導体) 32 とが形成され、さらに、この単結晶シリコンの上部にはゲート酸化膜 50、電極として機能する p⁺ 型の多結晶シリコン 60、保護膜として機能する SiO₂ 層 70 とが積層され積層部の両側面には SiO₂ からなるスペーサ 40a、40b が設けられている。

【0028】そして、ソース 22 とドレイン 32 との間には、700 Å 程度の比較的薄い n⁻ 型の単結晶シリコン 112 が設けられている。このような装置は、図 1 における p⁻ 領域 100 を形成しないように工程変更を行えば、図 3 と同様な製造工程で製造することが可能となる。

【0029】さて、多結晶シリコン 60 に電圧を印可するとチャネル 152 が形成されて導通状態となるが、この時のしきい値電圧は、多結晶シリコン 60 を p 型としかつ n⁻ 領域 112 を形成したので、従来通りの 0.6

(V) 程度である。そして、シリコン基板上の単結晶シリコンは同じ導電型 (n 型) となり深さ方向の障壁が小さくなるので、チャネル 152 の厚みが 500 (Å) 程度と従来より厚くなり、n⁻ 領域 112 とゲート酸化膜 50 との界面から基板方向に深い領域で電子が多く流れるため電子の界面散乱が少なくなり、1/f ノイズを抑制することが可能となる。この実施の形態によれば、バイアス電圧を印可せずにチャネル厚さを厚くすることのみを行っているので、より簡単な構成で 1/f ノイズを抑制することが可能となる。例えばボディコンタクト部 93 が不要となるので、製造工程が一層単純化されて低コスト化を図ることが可能になる。

【0030】以上説明してきた本発明の実施の形態によれば、チャネル厚みを従来より厚くすることや、バイアス電圧によりドリフト電子をサファイア基板に到達しな

いようにすることによって、電子の界面散乱や電子の界面トラップ、デトラップを抑制して 1/f ノイズを抑制した SOS 構造の MOSFET を実現することが可能になる。

【0031】

【発明の効果】以上説明したように、請求項 1、2 に係る発明によれば、チャネル形成可能領域の深い場所を電子が多く流れるため電子の界面散乱が小さくなり、1/f ノイズが低減される。

【0032】また、請求項 3 に係る発明によれば、バイアス電圧を印可することによって、絶縁基板界面によるトラップ、デトラップが生じにくくなり 1/f ノイズが一層低減される。

【図面の簡単な説明】

【図 1】本発明に係る実施形態の半導体装置の断面図である。

【図 2】本発明に係る実施形態の半導体装置の平面図である。

【図 3】半導体装置の製造工程を説明する説明図である。

【図 4】本発明に係る第 2 の実施形態の半導体装置の断面図である。

【図 5】本発明に係る第 3 の実施形態の半導体装置の断面図である。

【図 6】従来技術の説明図である。

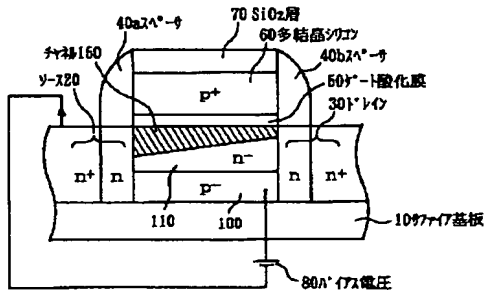
【符号の説明】

- 10 サファイア基板
- 20 ソース
- 21 ソース
- 22 ソース
- 30 ドレイン
- 31 ドレイン
- 32 ドレイン
- 40a スペーサ
- 40b スペーサ
- 50 ゲート酸化膜
- 60 多結晶シリコン
- 61 多結晶シリコン
- 70 SiO₂ 層
- 80 バイアス電圧
- 81 バイアス電圧
- 90 コンタクトホール
- 92 空乏層
- 93 ボディコンタクト部
- 94 ボディコンタクト用電極
- 100 p⁻ 領域
- 101 n⁻ 領域
- 110 n⁻ 領域
- 111 p⁻ 領域
- 112 n⁻ 領域

150 チャネル

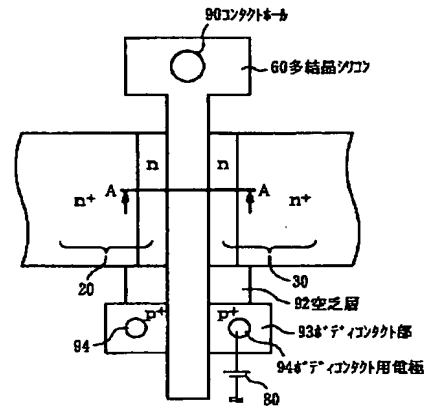
151 チャネル

【図1】

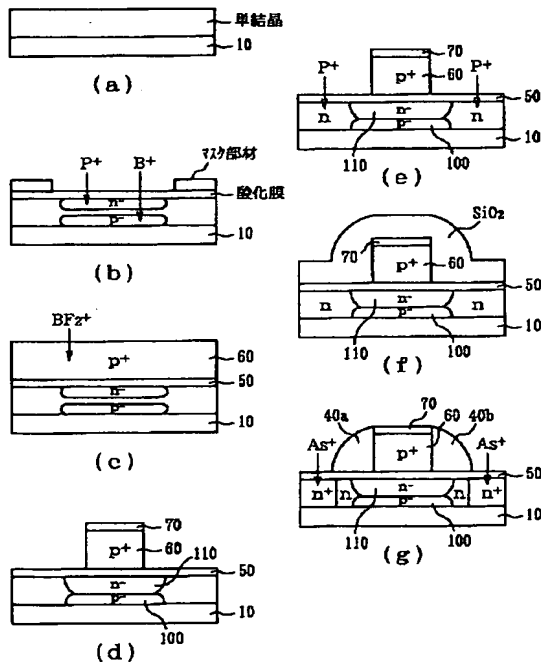


152 チャネル

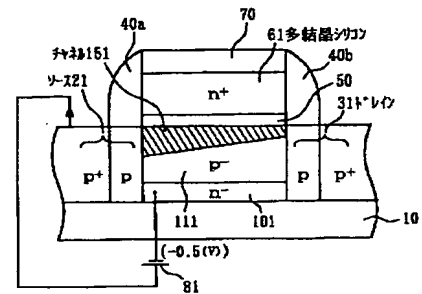
【図2】



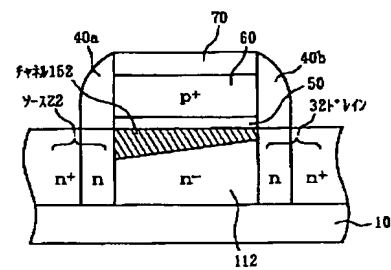
【図3】



【図4】



【図5】



【図 6】

